Міністерство освіти і науки України

НАЦІОНАЛЬНИЙ УНІВЕРСИТЕТ «ЛЬВІВСЬКА ПОЛІТЕХНІКА»

Кафедра ЕОМ



**Звіт**

З лабораторної роботи № 2, варіант 1

З дисципліни «Моделювання комп’ютерних систем»

На тему: «Структурний опис цифрового автомата. Перевірка роботи автомата за допомогою стенда Elbert V2 – Spartan 3A FPGA»

Виконав: ст. гр. КІ-201

Абросімов А.С.

Перевірив: викладач

Козак Н.Б.

Львів – 2023

**Мета роботи**: На базі стенду Elbert V2 – Spartan 3A FPGA, реалізувати цифровий автомат світлових ефектів відповідно до наступних вимог:

1. Інтерфейс пристрою та функціонал реалізувати згідно отриманого варіанту завдання.

2. Логіку переходів реалізувати з використанням мови опису апаратних засобів.

3. Логіку формування вихідних сигналів реалізувати з використанням мови опису апаратних засобів.

4. Згенерувати символи для описів логіки переходів та логіки формування вихідних сигналів.

5. Інтегрувати всі компоненти, логіку переходів, логіку формування вихідних сигналів та пам'ять станів в єдину систему за допомогою ISE WebPack. Пам'ять станів реалізувати за допомогою графічних компонентів з бібліотеки

6. Промоделювати роботу окремих частин автомата та автомата в цілому за допомогою симулятора iSim.

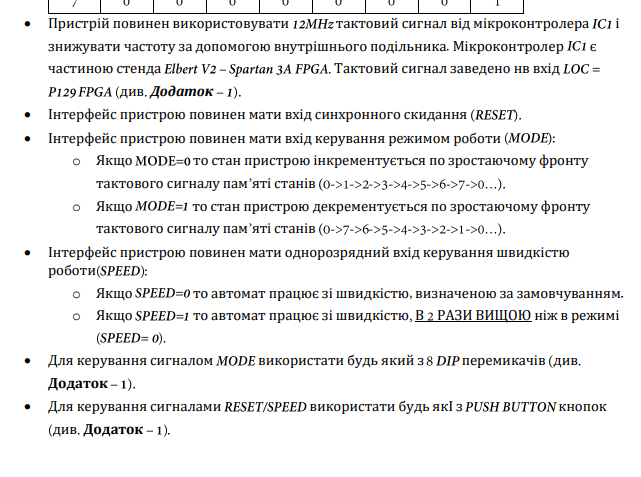
7. Інтегрувати створений автомат зі стендом Elbert V2 – Spartan 3A FPGA.

8. Згенерувати файл та перевірити роботу за допомогою стенда Elbert V2 – Spartan 3A FPGA.

9. Підготувати і захистити звіт.

**Завдання:**

****

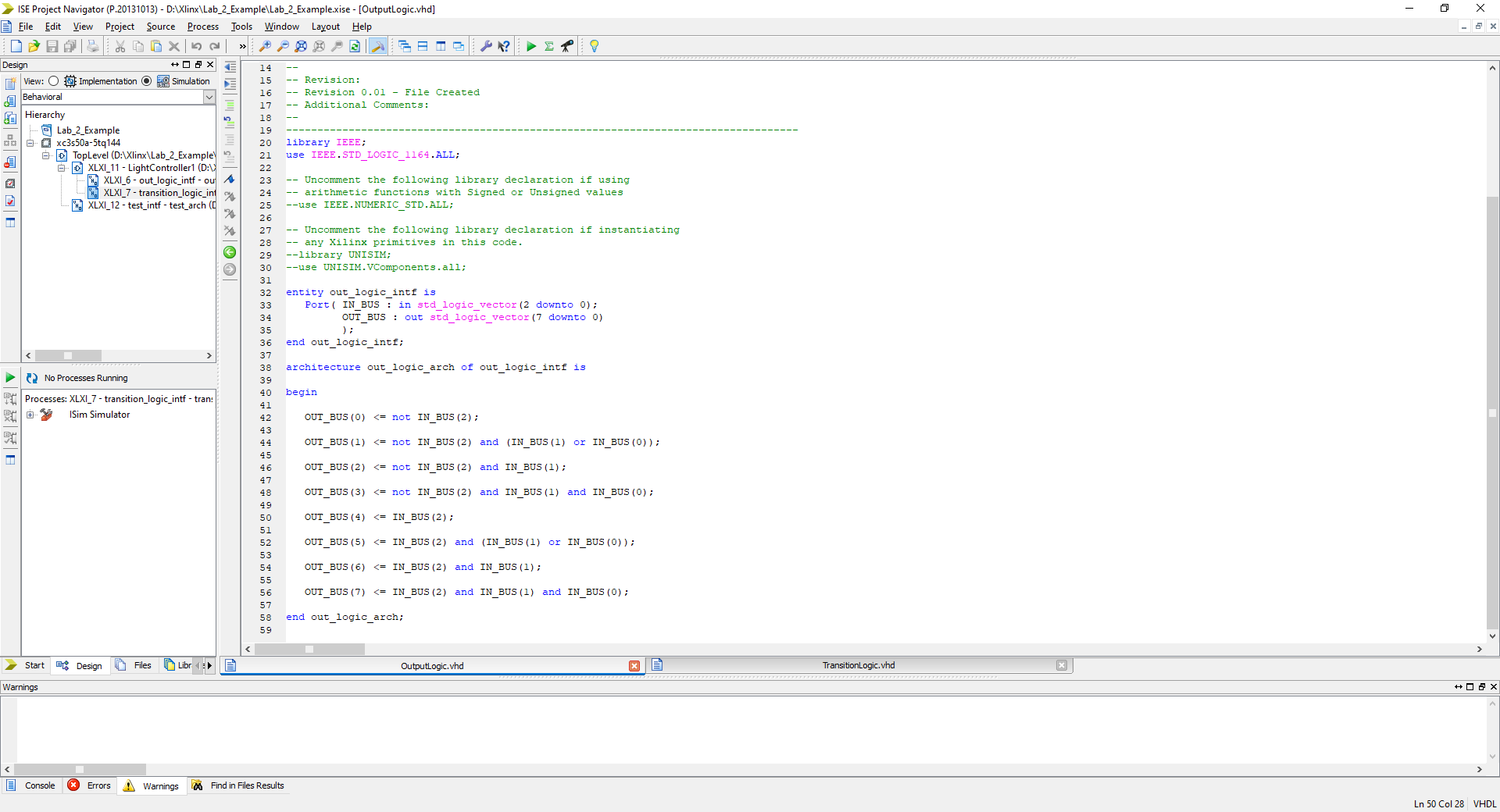
**\**

**Хід виконання**

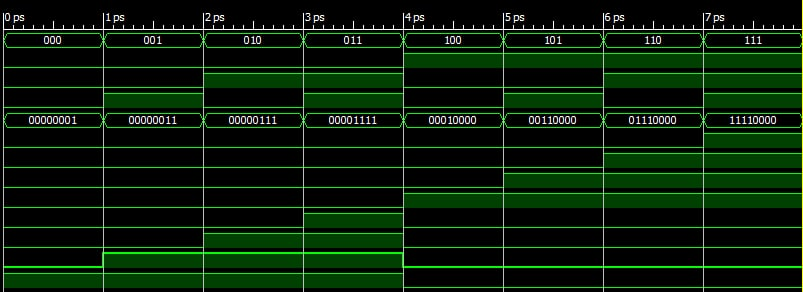
1. Створюю новий проект та додаю до нього новий VHDL файл, в якому буду реалізовувати логіку формування вихідних сигналів.

2. У створеному файлі із назвою OutputLogic.vhd імплементую інтерфейс логіки кожного вихідного сигналу, а також логічні вирази для формування кожного вихідного сигналу відповідно до варіанту.

Лістинг файлу OutputLogic.vhd:

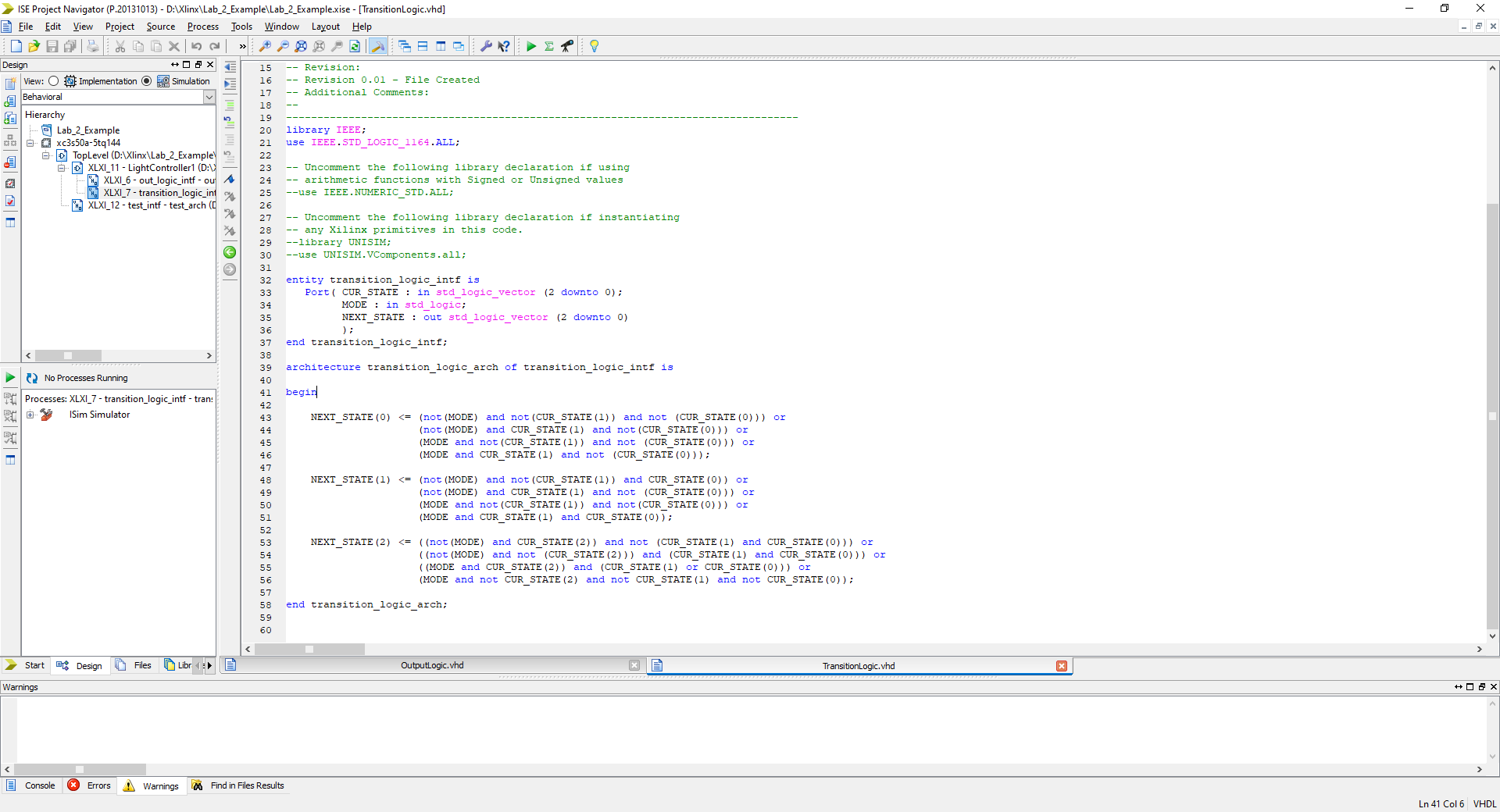


3. Проводжу моделювання роботи схеми формування вихідних сигналів.

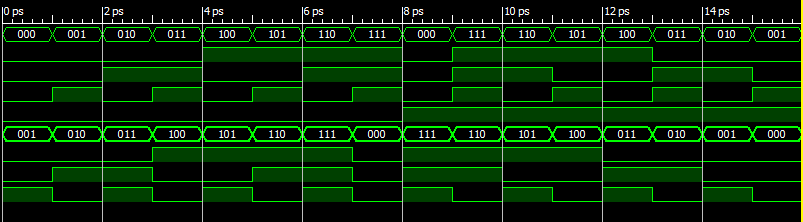


4. Аналогічно до пунктів 2 та 3 проводжу імплементацію та моделювання логіки формування перехідних сигналів (файл Transitionlogic.vhd).

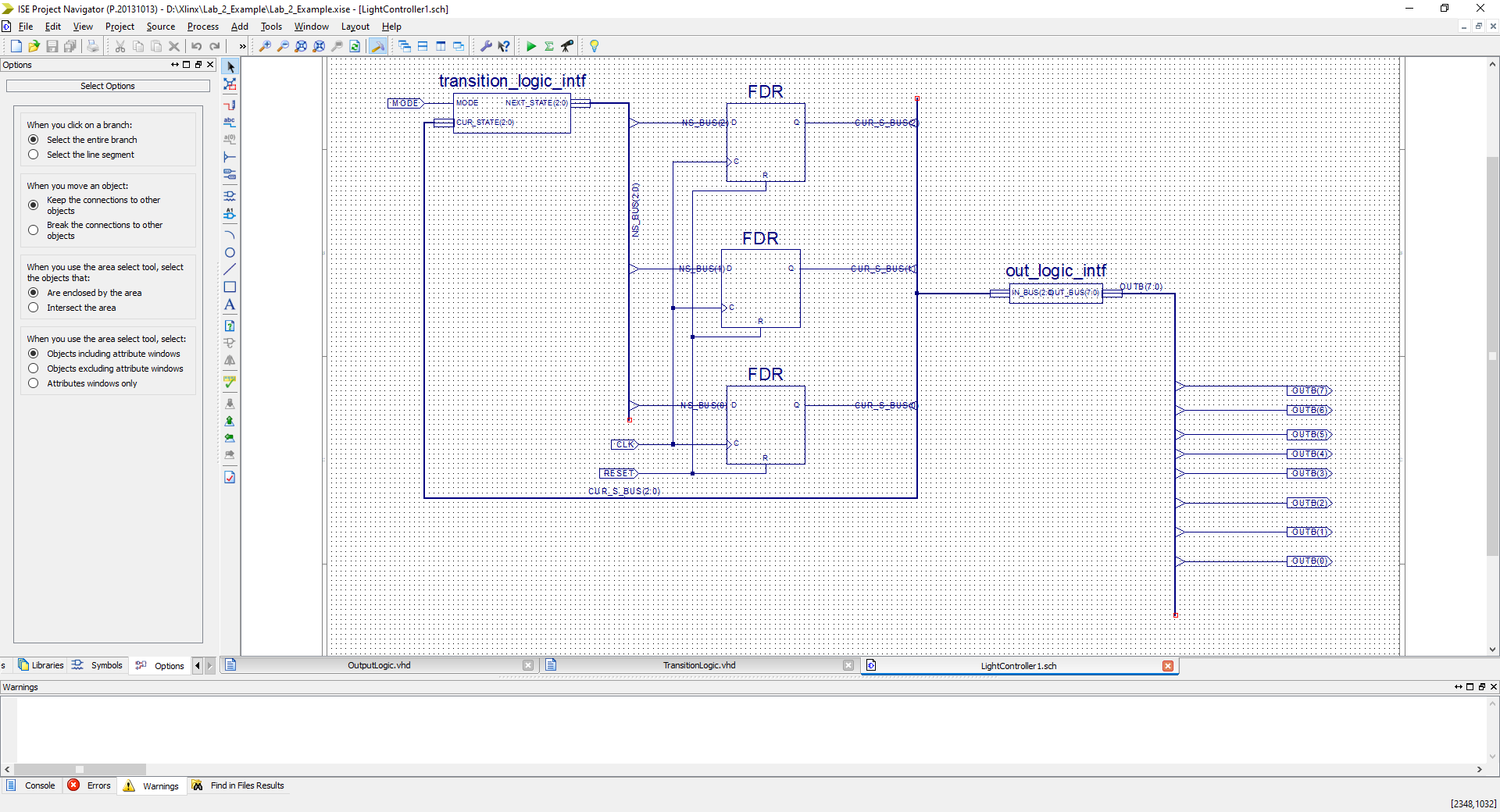
Лістинг файлу TransitionLogic.vhd:



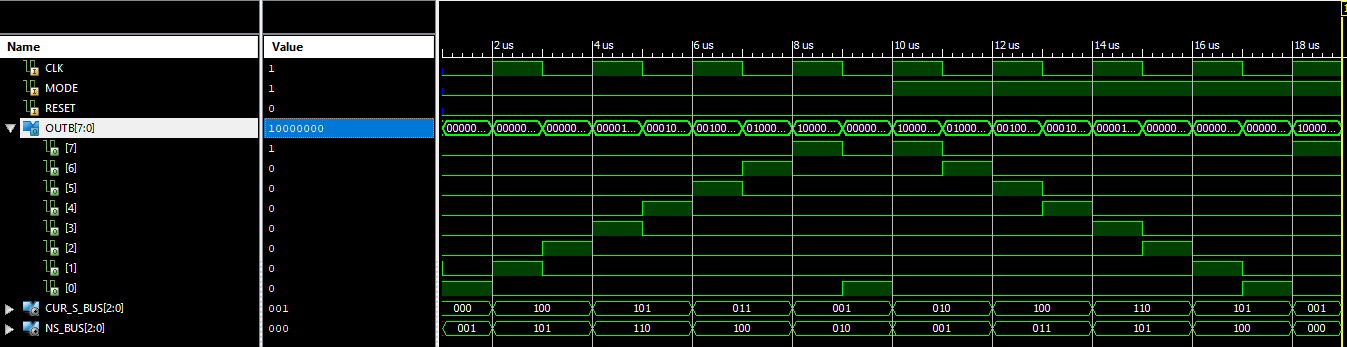
5. Промоделював роботу схеми формування вихідних сигналів з усіма можливими наборами сигналів.



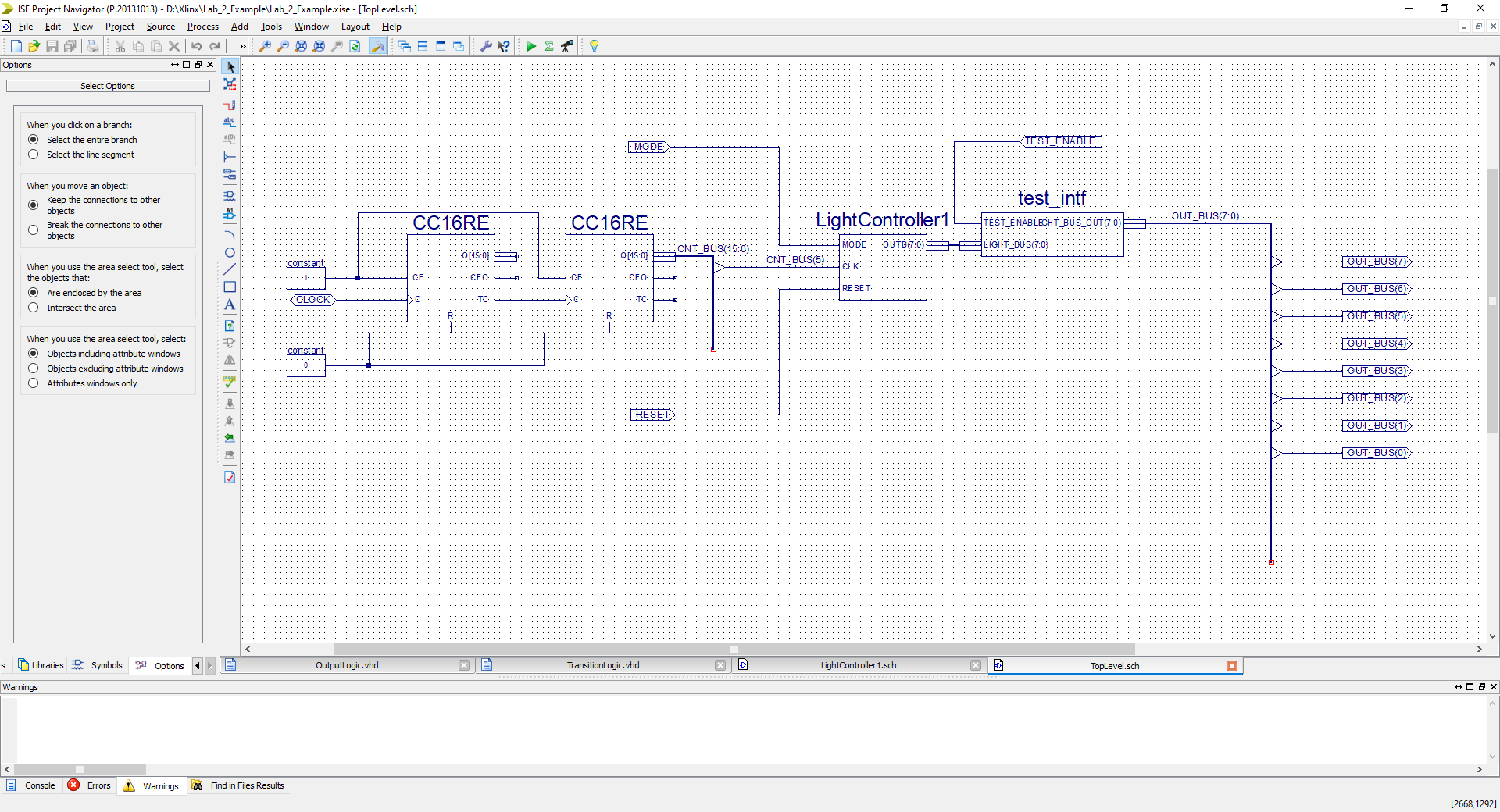
6. Генерую Schematic символи для файлів OutputLogic.vhd та Transition Logic.vhd. За допомогою згенерованих та інших стандартних символів у файлі LightController.sch реалізовую пам’ять стану автомата.



7. Симулюю роботу автомата.

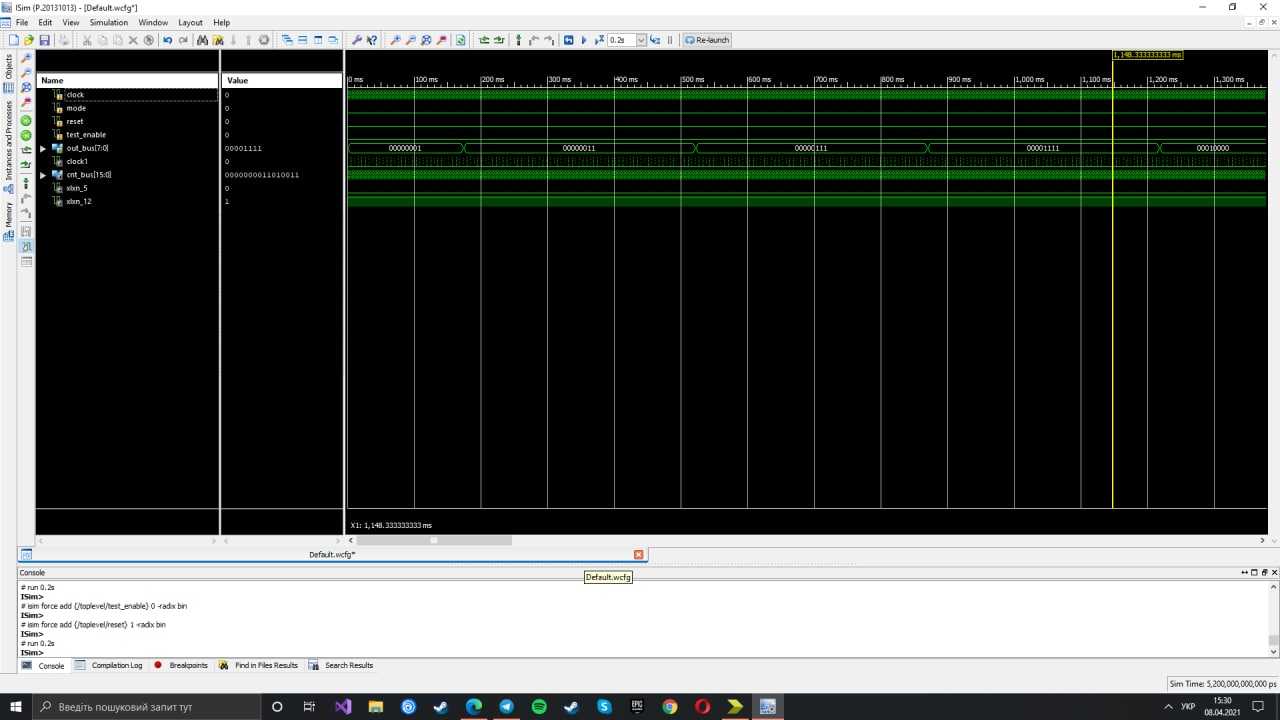


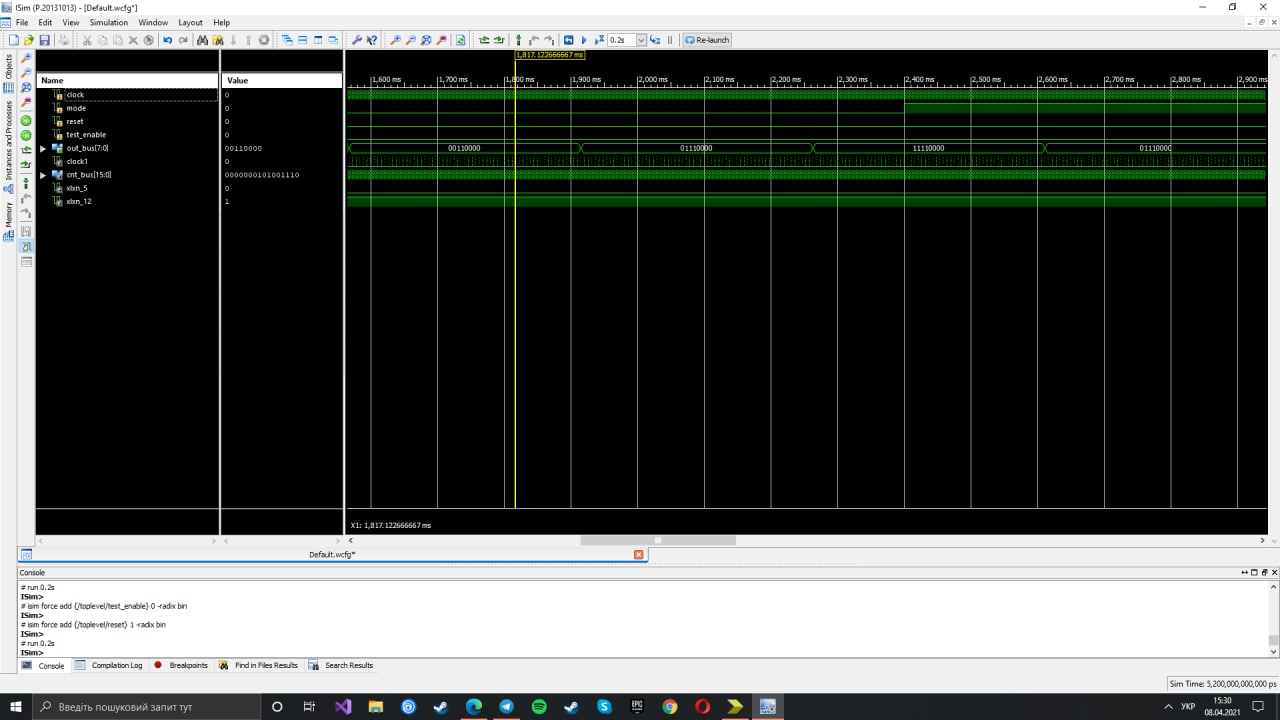
8. Генерую Schematic символи для файлу LightController.sch. За допомогою згенерованих та інших стандартних символів у файлі TopLevel.sch реалізовую подільник вхідної частоти.

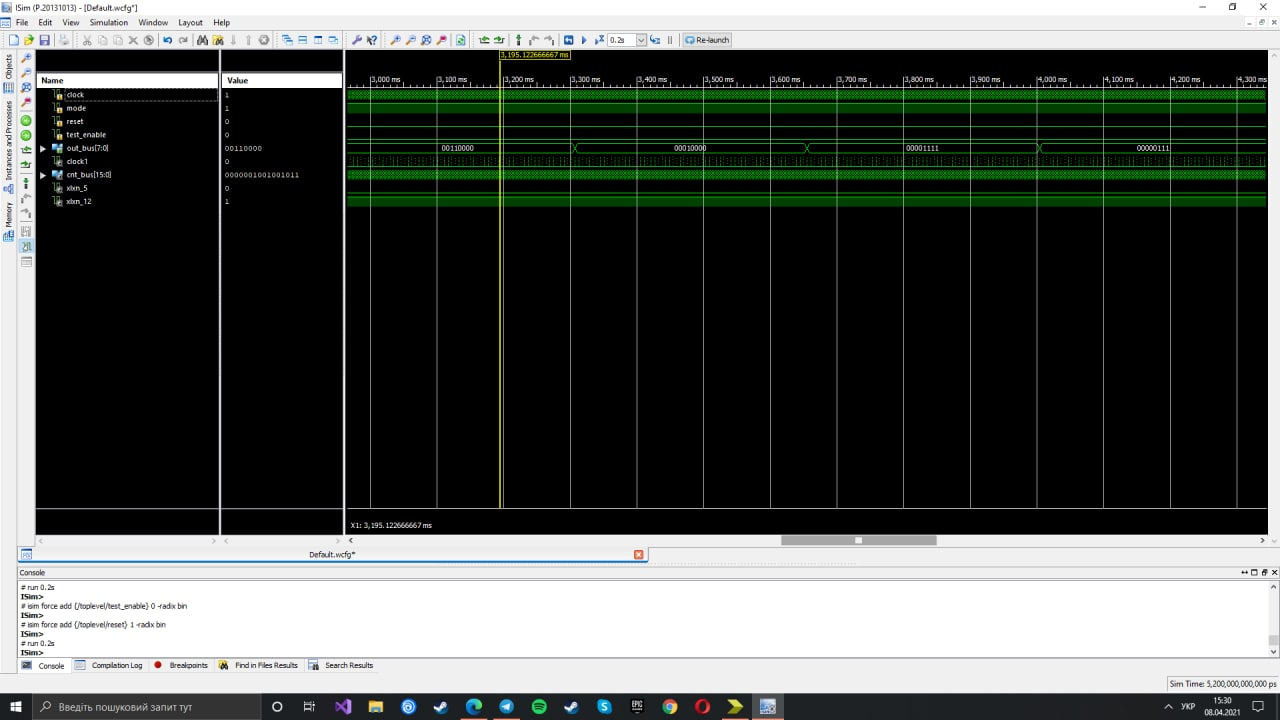


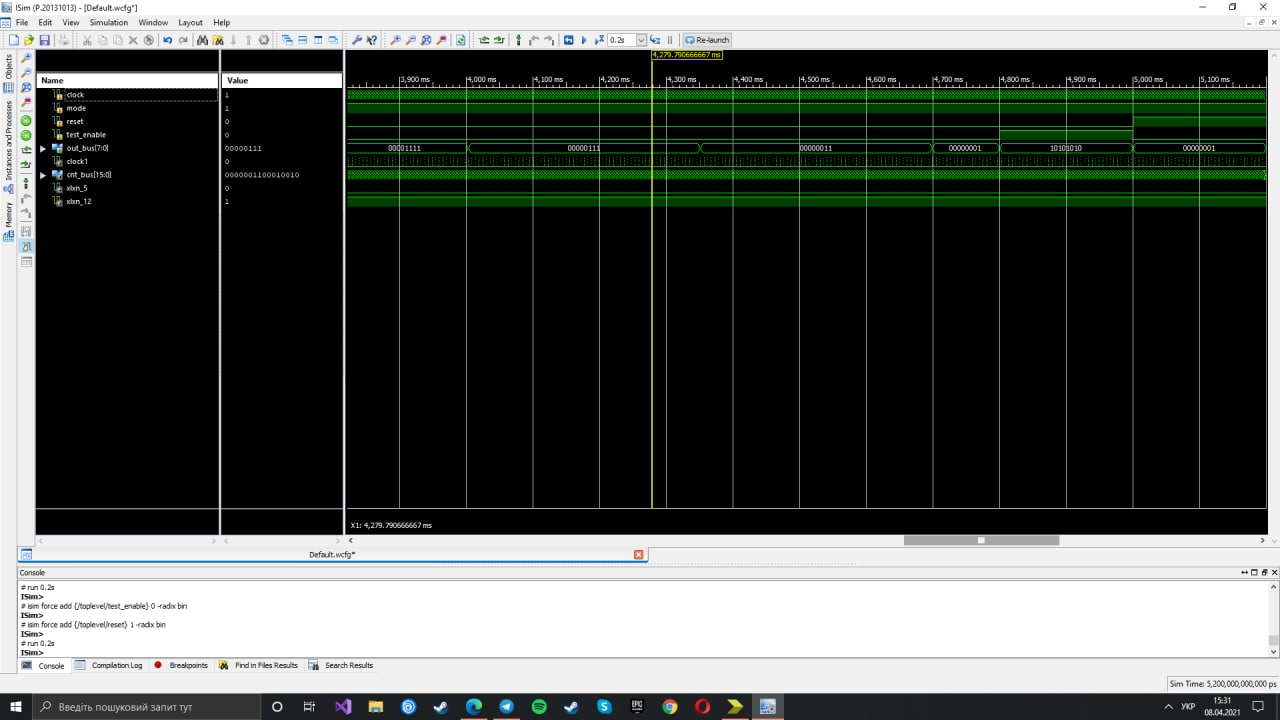
9. На вкладці Design менеджера проектів виконав команду Set as Top Module.

10. Змоделював роботу кінцевої схеми.









11. Додаю файл scheme.ucf та призначаю виводам схеми фізичні виводи цільової FPGA.

####################################################################################

LED

#######################################################################################

NET "OUT\_BUS(0)" LOC = P46 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(1)" LOC = P47 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(2)" LOC = P48 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(3)" LOC = P49 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(4)" LOC = P50 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(5)" LOC = P51 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(6)" LOC = P54 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "OUT\_BUS(7)" LOC = P55 | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

#######################################################################################

DP Switches

#######################################################################################

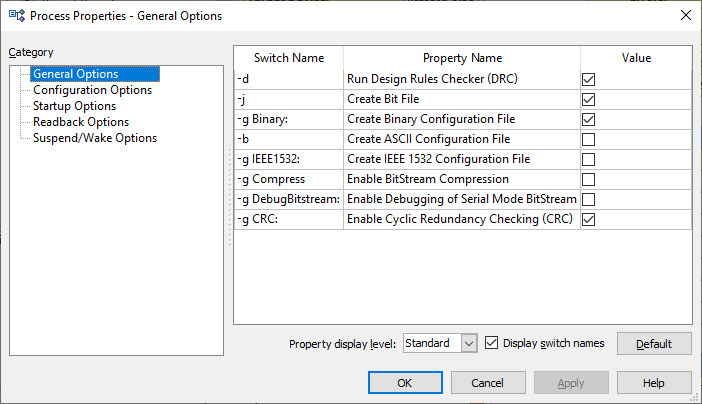
NET "MODE" LOC = P70 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "SPEED" LOC = P69 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

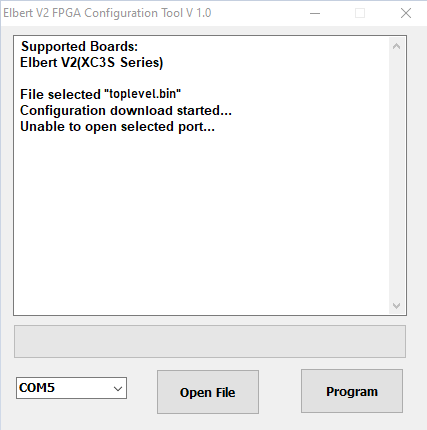
NET "RESET" LOC = P68 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

NET "CLK" LOC = P67 | PULLUP | IOSTANDARD = LVCMOS33 | SLEW = SLOW | DRIVE = 12;

12. Генерую BIT файл, який названий *toplevel.bin* для цільової FPGA. Для цього послідовно запускаю процеси Synthesize – XST, Implement Design та Generate Programming File.



13. Перевіряю роботу на стенді. Програмування стенду згенерованим *toplevel.bin* файлом.



**Додаткове завдання.**

Побудувати схему реалізації восьмирозрядного лічильника імпульсів за модулем ділення числа М. Модуль числа М задається у відповідності до вказаного варіанту завдання.

Модуль числа імпульсів М задається як десяткове число, що утворюється наступним чином за формулою:

**М10 = k\*N+128,**

де, N – порядковий номер у журнальному списку, а k – коефіцієнт пропорційності, який приймає наступні значення:

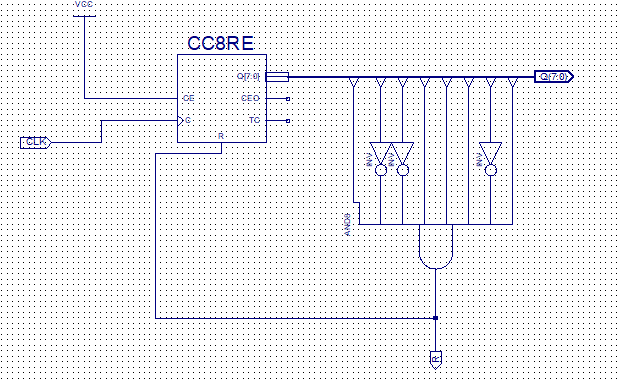
**k = 5, якщо N = від 1 до 9.**

**Хід виконання**

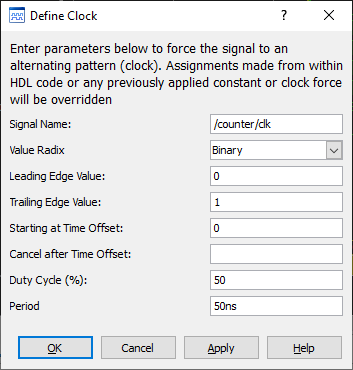
**N = 6, k = 5**

**М10 = 5\*6+128 = 15810 = 1001 11102**

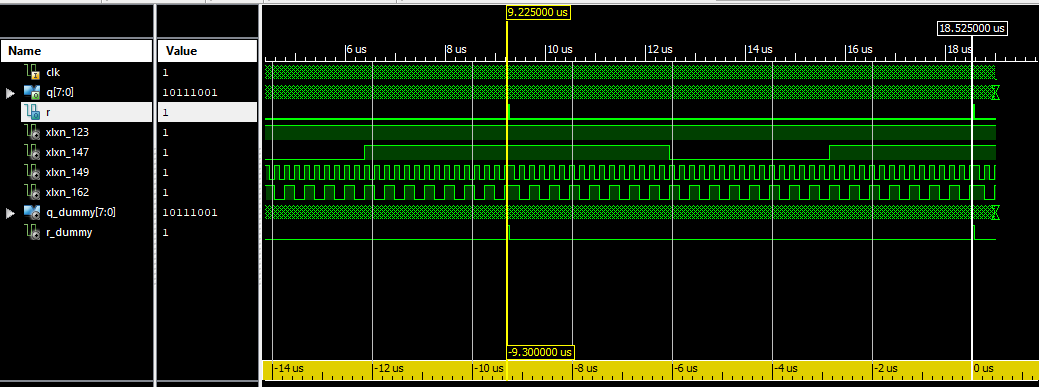
1. Схемна реалізація завдання у Xilinx ISE:



2. Встановив період CLK в 50 ns = 0.05 us.



3. Проводжу симуляцію роботи схеми.

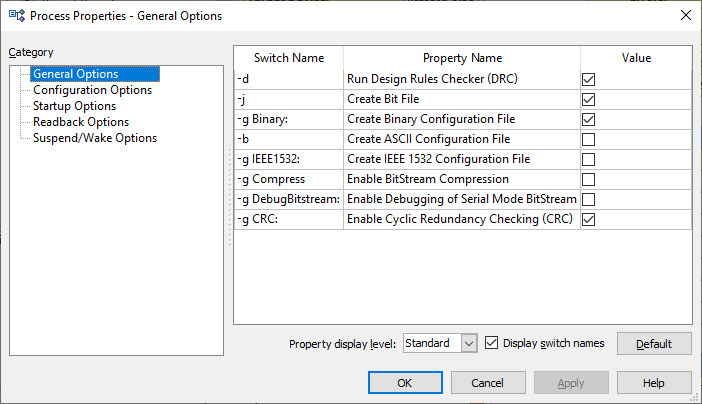


Твих = 18.525000 мкс – 9.225000 мкс = 9.3 мкс

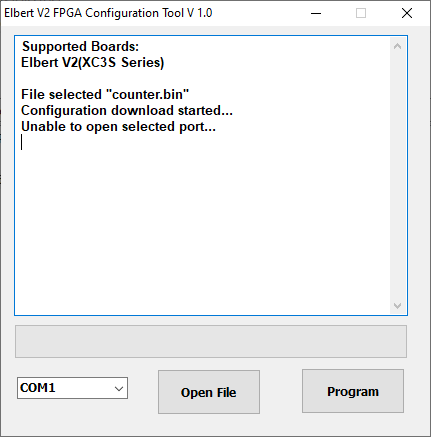
Твх = 50 нс = 0.05 мкс

К = Твих/ Твх = 186 мкс.

4. Генерую BIT файл, який названий *counter.bin* для цільової FPGA. Для цього послідовно запускаю процеси Synthesize – XST, Implement Design та Generate Programming File.



5. Програмування лабораторного стенду отриманим *counter.bin* файлом.



**Висновок:** На даній лабораторній роботі я на базі стенда Elbert V2- Spartan 3A FPGA реалізував цифровий автомат світлових ефектів. Навчився створювати нові елементи і описувати логіку їх роботи засобами VHDL.